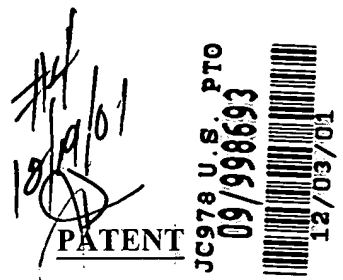


Docket No.: 60188-123



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hirofaka ITO, et al.

Serial No.:

Group Art Unit:

Filed: December 03, 2001

Examiner:

For: MULTI-INITIATOR CONTROL UNIT AND METHOD

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-370375, filed December 5, 2000

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:prp
Date: December 3, 2001
Facsimile: (202) 756-8087

日 本 国 特 許 庁

JAPAN PATENT OFFICE

60188-123
ITO et al.
December 3, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月 5日

出 願 番 号

Application Number:

特願2000-370375

出 願 人

Applicant(s):

松下電器産業株式会社

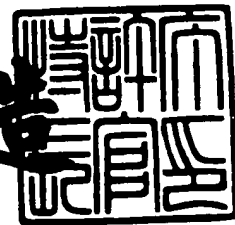
JC978 U.S. PRO
09/998693
12/03/01

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3073299

【書類名】 特許願

【整理番号】 2038120035

【提出日】 平成12年12月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/42

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 伊藤 裕隆

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田平 由弘

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチイニシエータ制御装置

【特許請求の範囲】

【請求項 1】 伝送路を介して接続された複数のイニシエータの各々との間でパケットを単位として通信を行うターゲットとして動作するマルチイニシエータ制御装置であって、

C P U (central processing unit) と、

パケット処理回路と、

前記パケット処理回路から受け取ったパケットを前記伝送路に送信し、前記伝送路からパケットを受信して、誤り検出を行って出力するリンクコア回路と、

前記リンクコア回路が出力する受信パケットを解析し、当該パケットの内容に応じた制御信号を出力するパケット・フィルタと、

それぞれ対応するイニシエータのコマンド処理シーケンスを制御する 1 つ又は複数のコマンド制御回路と、

前記パケット・フィルタが出力する制御信号に応じて、前記コマンド制御回路のうちの 1 つにシーケンス実行許可を与え、当該コマンド制御回路の出力を前記パケット処理回路に出力するマルチ制御回路とを備え、

前記パケット処理回路は、

前記パケット・フィルタが出力する制御信号に基づいて、前記 C P U が実行するためのコマンドを含むパケットを出力し、前記マルチ制御回路の出力からパケットを生成して前記リンクコア回路に出力するものであり、

前記 C P U は、

前記コマンドを実行するものである
マルチイニシエータ制御装置。

【請求項 2】 請求項 1 に記載のマルチイニシエータ制御装置において、

前記コマンド制御回路は、

対応するイニシエータから送信されたコマンドフェッチ要求パケットの情報を受信して保持し、前記マルチ制御回路からシーケンス実行許可が与えられた場合に、当該イニシエータに対してコマンドフェッチ動作を行う

ことを特徴とするマルチイニシエータ制御装置。

【請求項 3】 請求項 2 に記載のマルチイニシエータ制御装置において、
前記コマンド制御回路は、

データ転送処理シーケンスの実行中であっても、それぞれ対応するイニシエータから送信されたコマンドフェッチ要求パケットの情報を受信して保持することを特徴とするマルチイニシエータ制御装置。

【請求項 4】 請求項 1 に記載のマルチイニシエータ制御装置において、
前記コマンド制御回路は、それぞれ、

コマンド処理シーケンスを行うためのアドレスを格納するレジスタを有するものであり、

前記レジスタのアドレスは、当該レジスタが属するコマンド制御回路の対応するイニシエータのノード番号に応じて、基準とするコマンド制御回路のレジスタのアドレスを、所定の値を単位としてアドレス拡張して得られたものであることを特徴とするマルチイニシエータ制御装置。

【請求項 5】 請求項 1 に記載のマルチイニシエータ制御装置において、
前記マルチ制御回路は、

コマンド処理シーケンスが終了する毎に、各イニシエータの未完了のコマンド処理シーケンスを順に実行するように、各イニシエータに対応した前記コマンド制御回路にシーケンス実行許可を与えることを特徴とするマルチイニシエータ制御装置。

【請求項 6】 請求項 1 に記載のマルチイニシエータ制御装置において、
前記パケット処理回路は、

前記パケット・フィルタが出力するパケットから転送すべきデータを取り出して出力し、転送されて来たデータからパケットを生成して前記リンクコア回路に出力するものであり、

前記パケット処理回路が当該マルチイニシエータ制御装置の外部との間で行うデータ転送の制御を行う転送制御回路を更に備えることを特徴とするマルチイニシエータ制御装置。

【請求項 7】 請求項 1 に記載のマルチイニシエータ制御装置において、

前記CPUが前記コマンド制御回路にシーケンス実行許可を与えることができるように構成されている

ことを特徴とするマルチイニシエータ制御装置。

【請求項8】 請求項1に記載のマルチイニシエータ制御装置において、

前記イニシエータのそれぞれのノード番号と、各1ビットのデータとが対応付けられており、前記イニシエータを、対応する1ビットのデータで認識するように構成されている

ことを特徴とするマルチイニシエータ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、コンピュータと周辺装置等との間でコマンドやデータを伝送路を介して伝送する際に使用されるプロトコルのシーケンス処理を行う、マルチイニシエータ制御装置に関する。

【0002】

【従来の技術】

AV機器やコンピュータ機器等を接続するインターフェイスとして、IEEE 1394方式が次世代インターフェイスとして注目されている。これは、IEEE 1394方式に、非同期(asynchronous)通信とアイソクロナス(isochronous)通信とが定義されているためである。非同期通信は、コンピュータと記録メディア等との間のデータ転送のように、リアルタイム性が要求されず、信頼性をより要求される通信に用いられる。アイソクロナス通信は、動画等のAVデータのような、信頼性よりもリアルタイム性が要求される通信に用いられる。したがって、IEEE 1394方式を用いて、例えばコンピュータデータをDVD-RAM (digital versatile disc-random access memory) ドライブ装置等に格納したり、DVD-RAMドライブ装置から記録済みのコンピュータデータを読み出したる際には、一般的に非同期通信によりデータを伝送する。

【0003】

コンピュータ (イニシエータ) と周辺装置 (ターゲット) との間でIEEE 1

394方式の非同期通信を行う場合のプロトコルとして、SBP-2 (serial bus protocol-2) がある。以下、コンピュータがこのSBP-2に従ってDVD-RAMドライブ等のターゲットからデータを読み込む場合における、コマンド処理シーケンスについて説明する。

【0004】

SBP-2のコマンドは、READ、WRITE等のコマンド系のコマンドと、LOGIN、QUARY LOGIN、ABORT TASK、ABORT TASK SET等のマネージメント系（タスク管理系）のコマンドとに分けることができる。

【0005】

図9は、マネージメント系のコマンドであるLOGINコマンドを実行するためのコマンド処理シーケンスを示す説明図である。図9を参照して、LOGINコマンドのコマンド処理シーケンスを説明する。

【0006】

(1) イニシエータは、QRRQ (quadlet read request) パケットを発行することにより、ターゲットのMANAGEMENT_AGENTレジスタのアドレスの取得を要求する。このアドレスは、ターゲットのコンフィグレーションROMに格納されている。

【0007】

(2) ターゲットは、イニシエータからのQRRQパケットに応答して、QRS (quadlet read response) パケットをイニシエータに返す。

【0008】

(3) イニシエータは、BWRQ (block write request) パケットを発行して、ORB (operation request blocks) のアドレスをMANAGEMENT_AGENTレジスタに書き込む。ORBは、イニシエータによって予め用意されており、MANAGEMENT_AGENTレジスタは、ターゲットのCSR (control and status register) 空間に定義されている。

【0009】

(4) ターゲットは、イニシエータからのBWRQパケットに応答して、WR

S (write response) パケットをイニシエータに返す。

【 0 0 1 0 】

(5) ターゲットは、イニシエータに対して B R R Q (block read request) パケットを発行して、イニシエータが O R B をターゲットに送信することを要求する。O R B は、MANAGEMENT_AGENTレジスタに格納されたアドレスに位置している。

【 0 0 1 1 】

(6) イニシエータは、ターゲットからの B R R Q パケットに応答して、B R R S (block read response) パケットをターゲットに返す。B R R S パケットのデータフィールドには、O R B が格納されている。このようにして、O R B がイニシエータからターゲットに送信される。

【 0 0 1 2 】

(7) ターゲットは、イニシエータから O R B を受信し、受信した O R B の内容を解析する。

【 0 0 1 3 】

(8) ターゲットは、受信した O R B が L O G I N コマンドを表すことがわかると、L O G I N コマンドを実行する。

【 0 0 1 4 】

(9) L O G I N コマンドの実行が終了した後、ターゲットは、L O G I N コマンドの実行結果を示すステータス情報を作成する。ステータス情報には、C O M M A N D _ A G E N T レジスタのアドレスが示されている。

【 0 0 1 5 】

(10) ターゲットは、B W R Q パケットを発行することにより、ステータス情報をイニシエータに送信する。ステータス情報は、O R B によって指定される所定のアドレス (イニシエータの Status_FIF0 アドレス) に格納される。

【 0 0 1 6 】

(11) イニシエータは、ターゲットからの B W R Q パケットに応答して、W R S パケットをターゲットに返す。

【 0 0 1 7 】

(12) ターゲットは、イニシエータからのWRSパケットのrCodeがresp_completeであるか否かを判定する。イニシエータからのWRSパケットのrCodeがreps_completeである場合は、LOGINコマンドに関する一連のコマンド処理シーケンスが完了する。なお、図には示されていないが、ターゲットは、イニシエータからのパケットを受信すると、ACKパケット (Acknowledge Packet) をイニシエータに返す。同様に、イニシエータは、ターゲットからのパケットを受信すると、ACKパケットをターゲットに返す。

【0018】

図10は、コマンド系のREADコマンドを実行するためのコマンド処理シーケンスを示す説明図である。図10のシーケンスは、図9を参照して説明したLOGINコマンドの処理シーケンスが終了した後に実行される。図10を参照して、READコマンドのコマンド処理シーケンスを説明する。

【0019】

(21) イニシエータは、READコマンドを表すORBを作成する。READコマンドを表すORBは、データ数、最大パケット長、転送方向、転送方法等、READコマンドを実行するために必要な情報を定義する。

【0020】

(22) イニシエータは、QWRQ (quadlet write request) パケットを発行することにより、ターゲットのAGENT_RESETレジスタをリセットする。なお、AGENT_RESETレジスタは、ターゲットのCSR空間に定義されている。

【0021】

(23) ターゲットは、イニシエータからのQWRQパケットに応答して、WRSパケットをイニシエータに返す。

【0022】

(24) イニシエータは、BWRQパケットを発行することにより、ORBのアドレスをORB_POINTERレジスタに書き込む。なお、ORB_POINTERレジスタは、ターゲットのCSR空間に定義されている。

【0023】

(25) ターゲットは、イニシエータからのBWRQに応答して、WRSをイ

ニシエータに返す。

【0024】

(26) ターゲットは、BRRQパケットを発行して、イニシエータがORBをターゲットに送信することを要求する。ORBは、ORB_POINTERレジスタに格納されたアドレスに位置している。

【0025】

(27) イニシエータは、ターゲットからのBRRQパケットに応答して、BRRSパケットをターゲットに返す。BRRSパケットのデータフィールドにはORBが格納されている。このようにして、ORBがイニシエータからターゲットに送信される。

【0026】

(28) ターゲットは、イニシエータからORBを受信し、受信したORBの内容を解析する。

【0027】

(29) ターゲットは、受信したORBがREADコマンドを表すことがわかると、READコマンドを実行する。READコマンドの実行により、以下の(30)、(31)が繰り返される。これは、転送すべきデータのサイズが大きい場合には、そのデータを複数のパケットに分割して転送するためである。転送すべきデータは、ターゲットによって用意される。

【0028】

(30) ターゲットは、BWRQパケットを発行して、ORBによって指定されるアドレスにデータを格納する。

【0029】

(31) イニシエータは、ターゲットからのBWRQパケットに応答して、WRSパケットをターゲットに返す。(30)及び(31)は1つのトランザクションを構成する。1つのトランザクションが正常に終了したことが確認された後に、次のトランザクションが実行される。

【0030】

(32) データ転送処理シーケンスが正常に終了した後、ターゲットは、RE

A D コマンドの実行結果を示すステータス情報を作成する。

【 0 0 3 1 】

(3 3) ターゲットは、B W R Q パケットを発行することにより、ステータス情報をイニシエータに送信する。ステータス情報は、O R B によって指定される所定のアドレスに格納される。

【 0 0 3 2 】

(3 4) イニシエータは、ターゲットからの B W R Q パケットに応答して、W R S パケットをターゲットに返す。

【 0 0 3 3 】

(3 5) ターゲットは、イニシエータからの W R S パケットの rCode が resp_c omplete であるか否かを判定する。イニシエータからの W R S パケットの rCode が resp_c omplete である場合には、R E A D コマンドに関する一連のコマンド処理シーケンスが完了する。なお、図には示されていないが、ターゲットは、イニシエータからのパケットを受信すると、A C K パケットをイニシエータに返す。同様に、イニシエータは、ターゲットからのパケットを受信すると、A C K パケットをターゲットに返す。

【 0 0 3 4 】

例えば、イニシエータ及びターゲットは、パケットの受信に成功した場合には、パケットの受信に成功したことを示す “Ack_c omplete” という値を有する A C K パケットを返す。イニシエータ及びターゲットは、パケットを受信することができない状態である場合には、パケットを受信することができない状態であることを示す “Ack_b usy” という値を有する A C K パケットを返す。データ転送シーケンスにおいて、ターゲットからの B W R Q パケットに対してイニシエータが “Ack_b usy” という値を有する A C K パケットをターゲットに返した場合には、ターゲットは B W R Q パケットをイニシエータに再送信する。

【 0 0 3 5 】

以上のようにして、イニシエータとターゲットとの間でデータ転送処理を行うことができる。S B P - 2 では、ターゲット 1 台に対して、イニシエータを最大 6 3 台接続することができる。

【 0 0 3 6 】

図 1 1 は S B P - 2 を処理する従来のシーケンス処理装置 9 0 の構成を示すブロック図である。物理層コントローラ 9 1 は、I E E E 1 3 9 4 バス 2 0 の初期化、アービトレーション、バイアス電圧の制御等の機能を有している。リンクコア回路 9 2 は、物理層コントローラ 9 1 を介してバス 2 0 上のパケットを受信する。リンクコア回路 9 2 は、受信したパケットに対して誤り検出符号の作成／検出、パケットへの符号の付加、コードの検出（例えば、A C K パケットのコード検出）等を行う。またリンクコア回路 9 2 は、物理層コントローラ 9 1 を介してパケットをバス 2 0 に出力する。更に、リンクコア回路 9 2 は、パケットの転送が失敗した場合にそのパケットの転送を再度試みるリトライ機能を有している。

【 0 0 3 7 】

パケット・フィルタ 9 3 は、リンクコア回路 9 2 が出力したパケットを受け取り、このパケットのヘッダフィールドの内容を解析する。パケット・フィルタ 9 3 は、その解析結果に応じて、シーケンス制御回路 9 9 又は転送制御回路 9 6 に制御信号を与えると同時に、受信パケットをパケット処理回路 9 5 に出力する。パケット処理回路 9 5 は、シーケンス制御回路 9 9 又は転送制御回路 9 6 から制御され、入力されたパケットを処理し、コマンド受信バッファへのコマンドの出力、又は D M A (direct memory access) バス 6 を介して受信データの外部への出力を行う。シーケンス制御回路 9 9 は、接続された 1 台のイニシエータに対するコマンド処理シーケンスの実行及び制御を行う。

【 0 0 3 8 】

このように、図 1 1 の従来のシーケンス処理装置は、1 台のイニシエータとの間のコマンド処理シーケンスを行っていた。

【 0 0 3 9 】

【発明が解決しようとする課題】

従来のシーケンス処理装置において 2 台以上のイニシエータのシーケンス処理を行うには、2 台目以降のイニシエータに対するシーケンス処理、及びそれぞれのイニシエータの管理を、全てファームウェアで行う必要があった。この場合、C P U (central processing unit) にかかる負荷が非常に大きくなる。

【 0 0 4 0 】

特に、DVD-RAM等の光ディスク装置によって取り扱われる大量のデータを転送する必要がある場合には、CPUの負荷が飛躍的に増大する。その結果、CPUによって実行されるファームウェアのオーバーヘッドが増大し、IEEE 1394方式を採用することによって本来実現されるべき、高速シリアルバスインターフェイスとしての高い実効転送レートを実現することが非常に困難になる。また、ファームウェアにこのような処理を全てさせると、CPUの負荷が大きくなるため、シーケンス処理装置を光ディスク装置等の他のシステムへ組み込むことは不可能であった。

【 0 0 4 1 】

このように、従来のシーケンス処理装置は、実際にはイニシエータが1台の場合にしか対応できなかった。このため、拡張性が低く、複数のイニシエータが接続されたネットワーク環境ではあまり効果的に使用することができなかった。

【 0 0 4 2 】

本発明は、2台以上のイニシエータに対するコマンド処理シーケンスを行うことができるマルチイニシエータ制御装置を提供することを課題とする。

【 0 0 4 3 】

【課題を解決するための手段】

前記課題を解決するため、請求項1の発明が講じた手段は、伝送路を介して接続された複数のイニシエータの各々との間でパケットを単位として通信を行うターゲットとして動作するマルチイニシエータ制御装置であって、CPUと、パケット処理回路と、前記パケット処理回路から受け取ったパケットを前記伝送路に送信し、前記伝送路からパケットを受信して、誤り検出を行って出力するリンクコア回路と、前記リンクコア回路が出力する受信パケットを解析し、当該パケットの内容に応じた制御信号を出力するパケット・フィルタと、それぞれ対応するイニシエータのコマンド処理シーケンスを制御する1つ又は複数のコマンド制御回路と、前記パケット・フィルタが出力する制御信号に応じて、前記コマンド制御回路のうちの1つにシーケンス実行許可を与え、当該コマンド制御回路の出力を前記パケット処理回路に出力するマルチ制御回路とを備え、前記パケット処理

回路は、前記パケット・フィルタが出力する制御信号に基づいて、前記CPUが実行するためのコマンドを含むパケットを出力し、前記マルチ制御回路の出力からパケットを生成して前記リンクコア回路に出力するものであり、前記CPUは、前記コマンドを実行するものである。

【0044】

請求項1の発明によると、コマンド処理シーケンスの実行は、コマンド制御回路によって行われるため、CPUがコマンド処理シーケンスの実行に関与することはない。また、マルチ制御回路が複数のイニシエータとの間のコマンドの処理を制御する。このため、CPUの負荷を低減することが可能になる。

【0045】

また、請求項2の発明では、請求項1に記載のマルチイニシエータ制御装置において、前記コマンド制御回路は、対応するイニシエータから送信されたコマンドフェッチ要求パケットの情報を受信して保持し、前記マルチ制御回路からシーケンス実行許可が与えられた場合に、当該イニシエータに対してコマンドフェッチ動作を行うことを特徴とする。

【0046】

請求項2の発明によると、コマンド制御回路は、各イニシエータから受け取ったコマンドフェッチ要求パケットの情報を保持しているので、シーケンス実行許可が与えられるとただちにコマンドフェッチ動作に移行することができる。このため、効率的、かつ高速な動作を行うことができる。

【0047】

また、請求項3の発明では、請求項2に記載のマルチイニシエータ制御装置において、前記コマンド制御回路は、データ転送処理シーケンスの実行中であっても、それぞれ対応するイニシエータから送信されたコマンドフェッチ要求パケットの情報を受信して保持することを特徴とする。

【0048】

請求項3の発明によると、あるイニシエータがコマンド実行中であっても、他のイニシエータのコマンドフェッチ要求パケットを処理することができる。このため、コマンド処理の状態に関係なく、それぞれのイニシエータからのアクセス

に対応することができる。

【 0 0 4 9 】

また、請求項 4 の発明では、請求項 1 に記載のマルチイニシエータ制御装置において、前記コマンド制御回路は、それぞれ、コマンド処理シーケンスを行うためのアドレスを格納するレジスタを有するものであり、前記レジスタのアドレスは、当該レジスタが属するコマンド制御回路の対応するイニシエータのノード番号に応じて、基準とするコマンド制御回路のレジスタのアドレスを、所定の値を単位としてアドレス拡張して得られたものである。

【 0 0 5 0 】

請求項 4 の発明によると、基準とするコマンド制御回路のレジスタのアドレスをアドレス拡張し、レジスタのアドレスを求めるため、接続されるイニシエータが複数の場合であっても、それぞれのイニシエータがアクセスするレジスタのアドレスを CPU が管理する必要がない。このため、CPU の負荷が低減され、イニシエータが 1 台の場合と同様に高速に動作することができる。

【 0 0 5 1 】

また、請求項 5 の発明では、請求項 1 に記載のマルチイニシエータ制御装置において、前記マルチ制御回路は、コマンド処理シーケンスが終了する毎に、各イニシエータの未完了のコマンド処理シーケンスを順に実行するように、各イニシエータに対応した前記コマンド制御回路にシーケンス実行許可を与えることを特徴とする。

【 0 0 5 2 】

請求項 5 の発明によると、複数のイニシエータのコマンドを順に実行することができるため、イニシエータ間のコマンド実行頻度のばらつきを小さくすることができる。

【 0 0 5 3 】

また、請求項 6 の発明では、請求項 1 に記載のマルチイニシエータ制御装置において、前記パケット処理回路は、前記パケット・フィルタが出力するパケットから転送すべきデータを取り出して出力し、転送されて来たデータからパケットを生成して前記リンクコア回路に出力するものであり、前記パケット処理回路が

当該マルチイニシエータ制御装置の外部との間で行うデータ転送の制御を行う転送制御回路を更に備えることを特徴とする。

【 0 0 5 4 】

請求項 6 の発明によると、データ転送処理シーケンスは転送制御回路によって制御されるため、CPU がデータ転送処理シーケンスの実行に関与することはない。このため、データ転送処理シーケンスの実行中における CPU の負荷を低減し、データ転送を高速に行うことができる。

【 0 0 5 5 】

また、請求項 7 の発明では、請求項 1 に記載のマルチイニシエータ制御装置において、前記 CPU が前記コマンド制御回路にシーケンス実行許可を与えることができるように構成されていることを特徴とする。

【 0 0 5 6 】

請求項 7 の発明によると、CPU がコマンドフェッチの動作タイミングを制御することが可能なため、ファームウェアからの自由度が増し、ファームウェアの仕様に同期化させてシーケンス処理を行うことが可能となる。

【 0 0 5 7 】

また、請求項 8 の発明では、請求項 1 に記載のマルチイニシエータ制御装置において、前記イニシエータのそれぞれのノード番号と、各 1 ビットのデータとが対応付けられており、前記イニシエータを、対応する 1 ビットのデータで認識するように構成されていることを特徴とする。

【 0 0 5 8 】

請求項 8 の発明によると、各イニシエータのノード番号を 1 ビットのデータで簡潔に表現するため、より多くのイニシエータが接続された場合であっても、イニシエータの管理を小規模の回路で行うことが可能となる。

【 0 0 5 9 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、ここで示す実施の形態によって本発明の技術的範囲が限定されるものではない。

【 0 0 6 0 】

図 1 は、本発明の実施形態に係るマルチイニシエータ制御装置を用いたデータ転送システムのブロック図である。図 1 のデータ転送システムは、光ディスクドライブ 1 と、イニシエータ 1 1, 1 2, 1 3 とを備えている。イニシエータ 1 1 ~ 1 3 は、例えばパーソナルコンピュータ (P C) である。光ディスクドライブ 1 は、ターゲットとしてのマルチイニシエータ制御装置 2 と、 DVD - R A M コントローラ 3 と、ヘッド 4 と、 DVD - R A M ディスク 5 とを備えている。

【 0 0 6 1 】

各イニシエータ 1 1, 1 2, 1 3 とマルチイニシエータ制御装置 2 との間は、それぞれ伝送路としての I E E E 1 3 9 4 シリアルバス (以下では単にバスと称する) 2 1, 2 2, 2 3 を介して接続されている。マルチイニシエータ制御装置 2 は、 DMA バス 6 を介して DVD - R A M コントローラ 3 に接続されている。 DVD - R A M コントローラ 3 は、ヘッド 4 を介して DVD - R A M ディスク 5 から読み出されたデータに復調等の信号処理を行い、マルチイニシエータ制御装置 2 に転送し、また、マルチイニシエータ制御装置 2 から転送されてきたデータに変調等の信号処理を行い、ヘッド 4 を介して DVD - R A M ディスク 5 に書き込む。

【 0 0 6 2 】

図 2 は、本発明の実施形態に係る図 1 のマルチイニシエータ制御装置のブロック図である。図 2 において、マルチイニシエータ制御装置 2 は、 CPU 3 1 と、物理層コントローラ (P H Y) 4 1 と、リンクコア回路 (L I N K) 4 2 と、パケット・フィルタ 4 3 と、マルチ制御回路 4 4 と、パケット処理回路 4 5 と、転送制御回路 4 6 と、コマンド受信バッファ 4 7 と、制御レジスタ 4 8 と、コマンド制御回路 5 1, 5 2, 5 3 とを備えている。

【 0 0 6 3 】

図 2 において、 CPU 3 1、リンクコア回路 4 2、マルチ制御回路 4 4、転送制御回路 4 6、コマンド制御回路 5 1 ~ 5 3 は、制御レジスタ 4 8 の内容を書き込み、読み出しすることができる。また、パケット・フィルタ 4 3 は、制御レジスタ 4 8 の内容を読み出しすることができる。

【 0 0 6 4 】

物理層コントローラ 4 1 は、バス 2 1 ～ 2 3 の初期化、アービトレーション、バイアス電圧の制御等の機能を有している。物理層コントローラ 4 1 は、バス 2 1 ～ 2 3 上の電気信号をパケットに変換してリンクコア回路 4 2 に出力したり、リンクコア回路 4 2 から受け取ったパケットを電気信号に変換してバス 2 1 ～ 2 3 に出力する。

【 0 0 6 5 】

リンクコア回路 4 2 は、物理層コントローラ 4 1 からパケットを受信する。リンクコア回路 4 2 は、受信したパケットに対して誤り検出符号の検出、コードの検出（例えば、ACK パケットのコード検出）等を行い、パケット・フィルタ 4 3 及びパケット処理回路 4 5 に出力する。また、リンクコア回路 4 2 は、パケット処理回路 4 5 から受け取った、送信すべきパケットに対する誤り検出符号の作成及び付加を行い、物理層コントローラ 4 1 に送信する。更に、リンクコア回路 4 2 は、パケットの転送に失敗した場合に、そのパケットの転送を再度試みるリトライ機能を有している。

【 0 0 6 6 】

パケット・フィルタ 4 3 は、リンクコア回路 4 2 からパケットを受け取り、そのパケットのヘッダフィールドの内容を解析する。パケット・フィルタ 4 3 は、その解析結果に応じて、このパケットをコマンド受信バッファ 4 7 に格納するべきか否かを決定し、マルチ制御回路 4 4 に通知する。また、パケット・フィルタ 4 3 は、受信したパケットの送信元のイニシエータのノード番号をエンコードし、マルチ制御回路 4 4 及び転送制御回路 4 6 に制御信号として出力する。

【 0 0 6 7 】

パケット処理回路 4 5 は、マルチ制御回路 4 4 の制御の下で動作し、パケット・フィルタ 4 3 がコマンド受信バッファ 4 7 に格納するべきであると決定したパケットをコマンド受信バッファ 4 7 に格納させる。コマンド受信バッファ 4 7 に格納されたパケットのコマンドは、CPU 3 1 から読み出し可能な状態となる。

【 0 0 6 8 】

転送制御回路 4 6 は、CPU 3 1 が出力する READ / WRITE 等の転送コマンド実行要求を、制御レジスタ 4 8 を介して受け取り、パケット処理回路 4 5

とDVD-RAMコントローラ3との間でパケットを転送する。

【0069】

例えば、READコマンドを実行する場合には、転送制御回路46は、CPU31からの実行要求に基づいて、DVD-RAMディスク5に記録されたデータをDVD-RAMコントローラ3及びDMAバス6を介して読み出し、パケット処理回路45に出力する。パケット処理回路45は、転送制御回路46から受け取ったデータを分割して複数のパケットに格納し、これらのパケットをリンクコア回路42及び物理層コントローラ41を介してバス21～23に出力する。

【0070】

また、WRITEコマンドを実行する場合には、パケット処理回路45は、バス21～23から物理層コントローラ41及びリンクコア回路42を介してパケットを入力し、パケットからデータを取り出して転送制御回路46に出力する。転送制御回路46は、受け取ったデータをDMAバス6を介してDVD-RAMコントローラ3に出力し、DVD-RAMディスク5に記録させる。このようなパケット生成処理及びパケット転送処理は、転送制御回路46によって制御される。

【0071】

このように、転送制御回路46がデータ転送処理シーケンスを行うので、CPU31がデータ転送処理シーケンスの実行に関与することはない。このため、データ転送処理シーケンスにおけるCPU31の負荷を低減することが可能になり、IEEE1394に準拠した高速データ転送を実現することができる。

【0072】

IEEE1394では、転送速度に応じて1パケットで転送可能なデータ長（最大ペイロードサイズ）が規定されている。本実施形態では、転送速度はS400（転送速度約400Mbit/sec）であるとし、この場合、1パケットで転送可能なデータ長は2048バイトである。

【0073】

コマンド制御回路51、52、53は、それぞれイニシエータ11、12、13に対応しており、対応するイニシエータとの間のコマンド処理シーケンスを制

御する。マルチ制御回路 4 4 は、コマンド制御回路 5 1 ～ 5 3 のシーケンス実行を管理している。マルチ制御回路 4 4 及びコマンド制御回路 5 1 ～ 5 3 は、S B P - 2 におけるコマンド処理シーケンスに必要なエージェントレジスタ (AGENT__REGISTER) を有している。

【 0 0 7 4 】

図 3 は、図 2 のマルチ制御回路 4 4 及びコマンド制御回路 5 1 のレジスタについての説明図である。コマンド制御回路 5 2, 5 3 のレジスタの構成は、コマンド制御回路 5 1 と同様であるので省略してある。

【 0 0 7 5 】

マルチ制御回路 4 4 は、エージェントレジスタとして、MANAGEMENT__AGENTレジスタ R 1 0 を有している。MANAGEMENT__AGENTレジスタ R 1 0 は、LOGIN等のマネージメント系のコマンドをフェッチするためのアドレスを格納する。コマンド制御回路 5 1 ～ 5 3 は、いずれも、エージェントレジスタとしてAGENT__STATEレジスタ R 1 1、AGENT__RESETレジスタ R 1 2、ORB__POINTERレジスタ R 1 3、DOORBELLレジスタ R 1 4 及びUNSOLICITED__STATUSレジスタ R 1 5 を有している。コマンド制御回路 5 1 ～ 5 3 のレジスタは、コマンド系のコマンドをフェッチするためのアドレス等を格納する。

【 0 0 7 6 】

コマンド制御回路 5 1 ～ 5 3 は、それぞれの対応するイニシエータ 1 1 ～ 1 3 からコマンドフェッチ要求パケットの情報を受信して保持し、マルチ制御回路 4 4 からシーケンス実行許可が得られていないパケットの情報をキューイングすることができる。コマンドフェッチ要求パケットは、例えばBWRQパケット、QWRQパケットであって、コマンドフェッチ対象のアドレスを含んでいる。

【 0 0 7 7 】

図 4 は、アドレス拡張についての説明図である。コマンド制御回路 5 1 の各エージェントレジスタのアドレスは、ベースアドレス (Base Address) を基準とし、これにそれぞれ所定の値を加算したアドレスに設定しておく。ベースアドレスは、コマンド制御回路 5 1 のAGENT__STATEレジスタ R 1 1 のアドレスである。コマンド制御回路 5 2 の各エージェントレジスタのアドレスは、コマンド制御回路

51の同種のレジスタのアドレスにそれぞれ20h（hは16進数表示を表す）を加算したアドレスとし、コマンド制御回路53の各エージェントレジスタのアドレスは、コマンド制御回路51の同種のレジスタのアドレスにそれぞれ40hを加算したアドレスとしておく。すなわち、コマンド制御回路51、52、53のレジスタのアドレス領域は、それぞれベースアドレス、ベースアドレス+20h、ベースアドレス+40hから始まる。

【0078】

パケット・フィルタ43は、コマンド処理シーケンスにおいて、イニシエータ11～13から受信したパケットを解析し、パケットの送信元のイニシエータがアクセスしてきたアドレスとエージェントレジスタのアドレスとを比較し、マルチ制御回路44に通知する。

【0079】

また、パケット・フィルタ43は、LOGINしているイニシエータのノード番号に対応付けて、例えば20h間隔でアドレス拡張を行う。パケット・フィルタ43には、CPU31からベースアドレス及びイニシエータ11～13のノード番号が予め設定されている。

【0080】

パケットの送信元がイニシエータ11である場合は、そのノード番号に基づき、パケット・フィルタ43はアドレス拡張を行わず、コマンド制御回路51のレジスタのアドレスをマルチ制御回路44に通知する。パケットの送信元がイニシエータ12である場合は、そのノード番号に基づき、イニシエータ11の場合に20hを加算したアドレスをマルチ制御回路44に通知する。パケットの送信元がイニシエータ13である場合は、そのノード番号に基づき、イニシエータ11の場合に40hを加算したアドレスをマルチ制御回路44に通知する。

【0081】

このようにエージェントレジスタのアドレスを管理することにより、CPU31からのアドレス管理が簡潔になる。受信したパケットの送信元のイニシエータのノード番号からアドレスを求めるので、IEEE1394で接続可能な最大のノード数である63ノードのイニシエータを接続した場合であっても、エージェ

ントレジスタのアドレス管理のために回路規模を大きくする必要がない。なお、ベースアドレスからのアドレス拡張を20h単位で行う場合について説明したが、アドレス拡張の単位は他の値としてもよい。

【0082】

図5は、イニシエータのノード番号の管理方法を示す説明図である。本実施形態においては、マルチイニシエータ制御装置2に接続されているイニシエータの数は3台であるので、これらを3ビットのフィールドで識別することとする。すなわち、1ビットのデータN1が“1”であるとき、イニシエータ11を示し、同様に1ビットのデータN2又はN3が“1”であるとき、それぞれイニシエータ12又は13を示しているものとする。

【0083】

例えば、イニシエータ11、12、13のノード番号がそれぞれffc0h、ffc1h、ffc2hであるとし、受信したパケットにノード番号ffc0hが指定されているとする。この場合、パケット・フィルタ43は、“001”をマルチ制御回路44に出力して、パケットがイニシエータ11から送られて来たことを通知する。

【0084】

また、パケット処理回路45は、マルチ制御回路44が出力する1ビットで表されたノード番号を、ffc0h等の16ビットのノード番号に変換して、パケットに組み込む。

【0085】

このように、16ビットのノード番号を1ビットで表現し、管理することになるので、ノード番号を扱うマルチ制御回路44等の回路を簡略化することができる。ここで、イニシエータ11～13のノード番号と、1ビットのデータN1、N2、N3との対応関係は、1対1の関係であればどのようなものであってもよい。

【0086】

図6は、図2のマルチ制御回路44におけるコマンド実行処理のシーケンスを示すフローチャートである。ここでは、イニシエータ11、12、13のノード

番号がそれぞれNode 1, Node 2, Node 3であるものとして説明する。

【0087】

マルチ制御回路44は、まず、ステップS11において、Node1のイニシエータ11のコマンド処理シーケンスが未完了であるか否かを判定する。すなわち、コマンド制御回路51がコマンドフェッチ要求パケットを受信し、コマンドフェッチ対象のアドレスを格納（キューイング）しているか否かを判定し、格納していたら、ステップS12に移行し、格納していなかったら、ステップS13に移行する。

【0088】

ステップS12では、コマンド制御回路51にシーケンス実行許可を与え、格納しているコマンドフェッチ対象のアドレスを用い、Node1のイニシエータ11からコマンドを取って来て、そのコマンドをCPU31に実行させ、コマンドの実行が終了したら、ステップS13に処理を進める。

【0089】

ステップS13では、Node2のイニシエータ12のコマンド処理シーケンスが未完了であるか否かを判定する。すなわち、コマンド制御回路52がコマンドフェッチ要求パケットを受信し、コマンドフェッチ対象のアドレスを格納（キューイング）しているか否かを判定し、格納していたら、ステップS14に移行し、格納していなかったら、ステップS15に移行する。

【0090】

ステップS14では、コマンド制御回路52にシーケンス実行許可を与え、Node2のイニシエータ12からコマンドを取って来て、そのコマンドをCPU31に実行させ、コマンドの実行を終了したら、ステップS15に処理を進める。

【0091】

ステップS15では、Node3のイニシエータ13のコマンド処理シーケンスが未完了であるか否かを判定する。すなわち、コマンド制御回路53がコマンドフェッチ要求パケットを受信し、コマンドフェッチ対象のアドレスを格納（キューイング）しているか否かを判定し、格納していたら、ステップS16に移行し、格納していなかったら、ステップS11に戻る。

【0092】

ステップS16では、コマンド制御回路53にシーケンス実行許可を与え、Node3のイニシエータ13からコマンドを取って来て、そのコマンドをCPU31に実行させ、コマンドの実行を終了したら、ステップS11に戻る。その後は、同様のシーケンスを繰り返す。

【0093】

以上のように、マルチ制御回路44は、接続されたイニシエータによるコマンド実行の状態を常に管理し、コマンド実行許可をそれぞれのイニシエータに対して平等に与えることができるので、コマンドを実行する頻度のばらつきがイニシエータ間で生じることを防ぐことができる。

【0094】

なお、イニシエータが3台の場合について説明したが、これには限らず、イニシエータの数がIEEE1394で規定されている最大接続可能な数（63台）でも同様に処理を行うことができる。

【0095】

図7A～7Eは、図2のマルチイニシエータ制御装置2の内部で使用するパケットのフォーマットを示す説明図である。図7A～7Eにおいて、斜線の領域はリザーブ領域を示す。より具体的には、図7Aは、BWRQ (block write request) パケットのフォーマットを示す。図7Bは、QWRQ (quadlet write request) パケットのフォーマットを示す。図7Cは、WRS (write response) パケットのフォーマットを示す。図7Dは、BRRQ (block read request) パケットのフォーマットを示す。図7Eは、BRRS (block read response) パケットのフォーマットを示す。

【0096】

図8A～8Eは、IEEE1394バス21～23上のパケットのフォーマットを示す説明図である。図8A～8Eは、それぞれ図7A～7Eに示されるフォーマットに対応する。

【0097】

リンクコア回路42は、パケットをバス21～23に送信する際には、図7A

～ 7 E のフォーマットの packets を受け取り、この packets から header_CRC や data_CRC 等の CRC (cyclic redundancy check) コードを求める。リンクコア回路 4 2 は、受け取った packets にこれらの CRC コードのフィールドを追加し、得られた図 8 A ～ 8 E のフォーマットの packets を物理層コントローラ 4 1 に出力する。

【 0 0 9 8 】

また、リンクコア回路 4 2 は、packets をバス 2 1 ～ 2 3 から受信する際には、図 8 A ～ 8 E のフォーマットの packets を受け取り、この packets に含まれる header_CRC 領域や data_CRC 領域を参照して、CRC による誤り検出を行う。リンクコア回路 4 2 は、誤り検出後の packets を図 7 A ～ 7 E のフォーマットで packets ・フィルタ 4 3 及び packets 処理回路 4 5 に出力する。

【 0 0 9 9 】

以下では、図 2 のマルチイニシエータ制御装置 2 の動作を説明する。まず、LOGIN コマンドの実行について説明する。マルチイニシエータ制御装置 2 は、イニシエータ 1 1 との間で図 9 のコマンド処理シーケンスを実行する。イニシエータ 1 1 との間の LOGIN コマンドのコマンド処理シーケンスが終了すると、CPU 3 1 は、LOGIN したイニシエータ 1 1 のノード番号に対応する制御レジスタ 4 8 内の 1 ビットをイネーブルにする。同様に、イニシエータ 1 2, 1 3 との間で LOGIN 処理が行われる。この一連の LOGIN 処理によって、イニシエータ 1 1, 1 2, 1 3 に、それぞれコマンド制御回路 5 1, 5 2, 5 3 が割り当てられる。

【 0 1 0 0 】

次に、READ コマンドの実行について説明する。マルチイニシエータ制御装置 2 とイニシエータ 1 1 ～ 1 3 との間のコマンド処理シーケンスは、コマンド制御回路 5 1 ～ 5 3 がコマンドをキューイングすることができるようになっている点を除くと、図 1 0 と同様である。

【 0 1 0 1 】

イニシエータ 1 1 は、READ コマンドを実行するために AGENT_RESET レジスタ R 1 2 に QWRQ packets を送信する。次に、イニシエータ 1 1 は、BWRQ

パケットをイニシエータ 1 1 に対応するコマンド制御回路 5 1 に送信し、ORB_P OINTERレジスタ R 1 3 にコマンド制御回路 5 1 がアクセスすべき O R B のアドレスを書き込む。マルチ制御回路 4 4 は、コマンド制御回路 5 1 ~ 5 3 の状態を管理し、例えばコマンド制御回路 5 1 にシーケンス実行許可を与えると、コマンド制御回路 5 1 はコマンドフェッチを実行する。

【 0 1 0 2 】

コマンド受信バッファ 4 7 は、イニシエータ 1 1 から受信したコマンドを含むパケットを格納する。CPU 3 1 は、コマンド受信バッファ 4 7 からコマンドを読み出し、READ コマンドを実行するために転送制御回路 4 6 を起動する。転送制御回路 4 6 は、DMA バス 6 を介して DVD-RAM コントローラ 3 から DVD-RAM ディスク 5 のデータを読み出し、パケット処理回路 4 5 に出力する。パケット処理回路 4 5 は、入力されたデータをパケットにして、リンクコア回路 4 2 に出力する。

【 0 1 0 3 】

また、イニシエータ 1 1 に対するデータ転送シーケンス実行中に、イニシエータ 1 2 からは WRITE コマンドの、イニシエータ 1 3 からは READ コマンドのコマンドフェッチ要求パケットを受信したとする。この場合、イニシエータ 1 2 に対応するコマンド制御回路 5 2 は、マルチ制御回路 4 4 からの制御信号によって、コマンドフェッチのためにアクセスすべきアドレスを格納し、シーケンス実行許可を待つ。イニシエータ 1 3 に対応するコマンド制御回路 5 3 は、マルチ制御回路 4 4 からの制御信号によって、コマンドフェッチのためにアクセスすべきアドレスを格納し、シーケンス実行許可を待つ。

【 0 1 0 4 】

マルチ制御回路 4 4 は、イニシエータ 1 1 に対するデータ転送処理シーケンスが終了すると、コマンド制御回路 5 2 におけるコマンドのキューイング状態を調べ、キューイングされていると認識した場合には、コマンド制御回路 5 2 に対してシーケンス実行許可を与える。コマンド制御回路 5 2 は、マルチ制御回路 4 4 からシーケンス実行許可を受けると、イニシエータ 1 2 に対してコマンド処理シーケンスを実行する。パケット処理回路 4 5 は、受信したパケットをコマンド受

信バッファ47に格納する。

【0105】

CPU31は、コマンドをコマンド受信バッファ47から読み出し、WRITEコマンドを実行するために転送制御回路46を起動する。転送制御回路46は、イニシエータ12からデータを読み出すために、リンクコア回路42にパケットを転送する。転送制御回路46は、イニシエータ12から受信したデータをリンクコア回路42を介して読み出し、DMAバス6及びDVD-RAMコントローラ3を介して、DVD-RAMディスク5に対して書き込む。指定された量の転送データがDVD-RAMディスク5に書き込まれた後、イニシエータ12に対してステータス情報を送信して、データ転送処理シーケンスが終了する。

【0106】

マルチ制御回路44は、イニシエータ12に対するコマンド処理シーケンスが終了すると、コマンド制御回路53におけるコマンドのキューイング状態を調べ、キューイングされていると認識した場合には、コマンド制御回路53に対してシーケンス実行許可を与える。コマンド制御回路53は、マルチ制御回路44からシーケンス実行許可を受けると、イニシエータ13に対してコマンドフェッチを行い、コマンド受信バッファ47に受信パケットを格納する。その後、同様に、CPU31は転送制御回路46を起動し、READコマンドを実行する。

【0107】

以上のように、本実施形態のマルチイニシエータ制御装置2では、コマンド制御回路51、52、53は、それぞれが対応するイニシエータに対するコマンド処理シーケンスを行い、マルチ制御回路44は、コマンド制御回路51、52、53を制御して、複数のイニシエータとの間のシーケンスを可能にする。このため、CPU31は、コマンドフェッチ等のコマンド処理シーケンスを行う必要がない。また、CPU31は、コマンド受信バッファ47に格納されたコマンドを実行するが、データ転送処理シーケンスは、転送制御回路46によって行われる。したがって、効率的なシーケンス制御及びデータ転送制御が可能であり、CPU31の負荷を大きくすることなく、複数のイニシエータの管理を行うことができる。

【 0 1 0 8 】

(変形例)

本変形例においては、マルチ制御回路 4 4 に代わって CPU 3 1 が、制御レジスタ 4 8 を介してコマンド制御回路 5 1 ~ 5 3 にシーケンス実行許可を与え、コマンドをフェッチするタイミングを制御する例について説明する。

【 0 1 0 9 】

例えば、転送制御回路 4 6 が行うデータ転送処理シーケンスは、基本的にはハードウェアだけで処理を行うことができる。ところが、イニシエータから受信するコマンドの処理には、ハードウェアだけでは処理できず、ファームウェアによる処理が必要な場合がある。また、データ転送処理シーケンスを行っているときであっても、転送データにエラーが生じ、これに対処するためのファームウェアによる処理が必要な場合等がある。

【 0 1 1 0 】

このような場合、CPU 3 1 が実行するファームウェアによる処理は、ハードウェアによる処理に追いつかない場合があるため、CPU 3 1 がコマンド処理シーケンスを制御する必要がある。

【 0 1 1 1 】

図 2, 3 を参照して説明する。イニシエータ 1 1, 1 2 の LOGIN コマンドの処理が終わっているものとする。イニシエータ 1 1 は、コマンド制御回路 5 1 の ORB_POINTER レジスタ R 1 3 に対して、BWRQ パケットを送信する。マルチ制御回路 4 4 が、イニシエータ 1 1 に対応するコマンド制御回路 5 1 にシーケンス実行許可を与えると、コマンド制御回路 5 1 は、イニシエータ 1 1 に対してコマンドフェッチを行う。パケット処理回路 4 5 は、このときのイニシエータ 1 1 からの受信パケットをコマンド受信バッファ 4 7 に格納する。CPU 3 1 はコマンド受信バッファ 4 7 のコマンドを読み出し、実行する。このコマンドは、ファームウェアによる処理が必要なコマンドであるとする。

【 0 1 1 2 】

このとき CPU 3 1 は、制御レジスタ 4 8 を介して、コマンド制御回路 5 2 をシーケンス実行許可待ちにする。CPU 3 1 がイニシエータ 1 1 のコマンドを実

行中に、イニシエータ 1 2 から入力された、例えば R E A D コマンドのフェッチ対象のアドレスは、コマンド制御回路 5 2 にキューイングされる。

【 0 1 1 3 】

C P U 3 1 は、イニシエータ 1 1 のコマンド処理が終了すると、マルチ制御回路 4 4 に対してシーケンス実行許可を与え、マルチ制御回路 4 4 は、コマンド制御回路 5 2 に対してシーケンス実行許可を与える。シーケンス実行許可を得たコマンド制御回路 5 2 は、イニシエータ 1 2 のコマンドをフェッチする。パケット処理回路 4 5 は、イニシエータ 1 2 から受信したパケットをコマンド受信バッファ 4 7 に格納する。C P U 3 1 はコマンド受信バッファ 4 7 のコマンドを読み出し、イニシエータ 1 2 のコマンドを実行する。

【 0 1 1 4 】

以上のように、本変形例によると、コマンド処理シーケンスの起動タイミングを C P U 3 1 から任意に制御することができるため、コマンド処理シーケンスと C P U 3 1 の動作との間で同期をとることができ、C P U 3 1 からのシーケンスの管理が容易となる。

【 0 1 1 5 】

以上の実施形態では、イニシエータが D V D - R A M ディスクとの間でデータを転送する例について説明したが、他の形式の光ディスク、磁気ディスク等のデータ記録媒体等との間でデータを転送する場合も同様である。

【 0 1 1 6 】

【発明の効果】

以上のように、本発明によると、複数のイニシエータを接続した場合でも C P U の負荷を大きくすることがないので、複数のイニシエータを接続し、かつ、データ転送を高速に行うことができるマルチイニシエータ制御装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係るマルチイニシエータ制御装置を用いたデータ転送システムのブロック図である。

【図 2】

本発明の実施形態に係る図 1 のマルチイニシエータ制御装置のブロック図である。

【図 3】

図 2 のマルチ制御回路及びコマンド制御回路のレジスタについての説明図である。

【図 4】

アドレス拡張についての説明図である。

【図 5】

イニシエータのノード番号の管理方法を示す説明図である。

【図 6】

図 2 のマルチ制御回路におけるコマンド実行処理のシーケンスを示すフローチャートである。

【図 7 A】

図 2 のマルチイニシエータ制御装置の内部で使用する B W R Q パケットのフォーマットを示す説明図である。

【図 7 B】

図 2 のマルチイニシエータ制御装置の内部で使用する Q W R Q パケットのフォーマットを示す説明図である。

【図 7 C】

図 2 のマルチイニシエータ制御装置の内部で使用する W R S パケットのフォーマットを示す説明図である。

【図 7 D】

図 2 のマルチイニシエータ制御装置の内部で使用する B R R Q パケットのフォーマットを示す説明図である。

【図 7 E】

図 2 のマルチイニシエータ制御装置の内部で使用する B R R S パケットのフォーマットを示す説明図である。

【図 8 A】

IEEE 1394バス上のBWRQパケットのフォーマットを示す説明図である。

【図 8 B】

IEEE 1394バス上のQWRQパケットのフォーマットを示す説明図である。

【図 8 C】

IEEE 1394バス上のWRSパケットのフォーマットを示す説明図である。

【図 8 D】

IEEE 1394バス上のBRRQパケットのフォーマットを示す説明図である。

【図 8 E】

IEEE 1394バス上のBRRSパケットのフォーマットを示す説明図である。

【図 9】

LOGINコマンドを実行するためのコマンド処理シーケンスを示す説明図である。

【図 1 0】

READコマンドを実行するためのコマンド処理シーケンスを示す説明図である。

【図 1 1】

従来のシーケンス処理装置の構成を示すブロック図である。

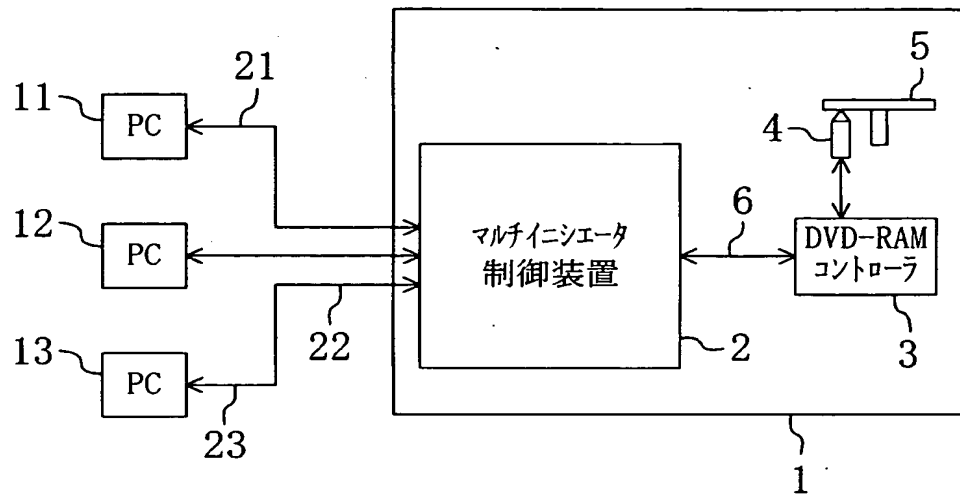
【符号の説明】

- 1 光ディスクドライブ
- 2 マルチイニシエータ制御装置
- 3 DVD-RAMコントローラ
- 4 ヘッド
- 5 DVD-RAMディスク
- 6 DMAバス

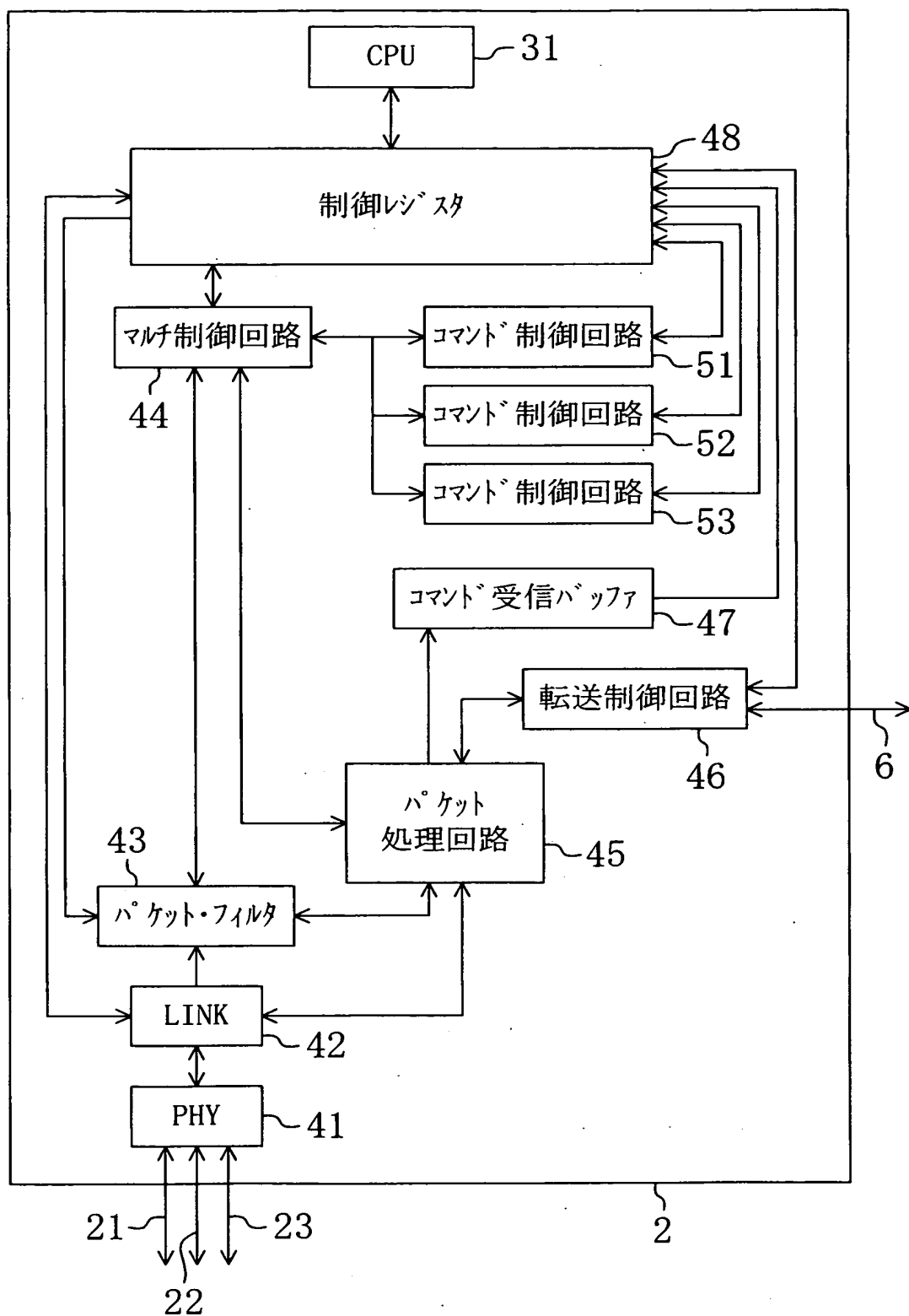
- 1 1, 1 2, 1 3 イニシエータ
- 2 1, 2 2, 2 3 I E E E 1 3 9 4 シリアルバス (伝送路)
- 3 1 C P U
- 4 1 物理層コントローラ
- 4 2 リンクコア回路
- 4 3 パケット・フィルタ
- 4 4 マルチ制御回路
- 4 5 パケット処理回路
- 4 6 転送制御回路
- 4 7 コマンド受信バッファ
- 4 8 制御レジスタ
- 5 1, 5 2, 5 3 コマンド制御回路

【書類名】 図面

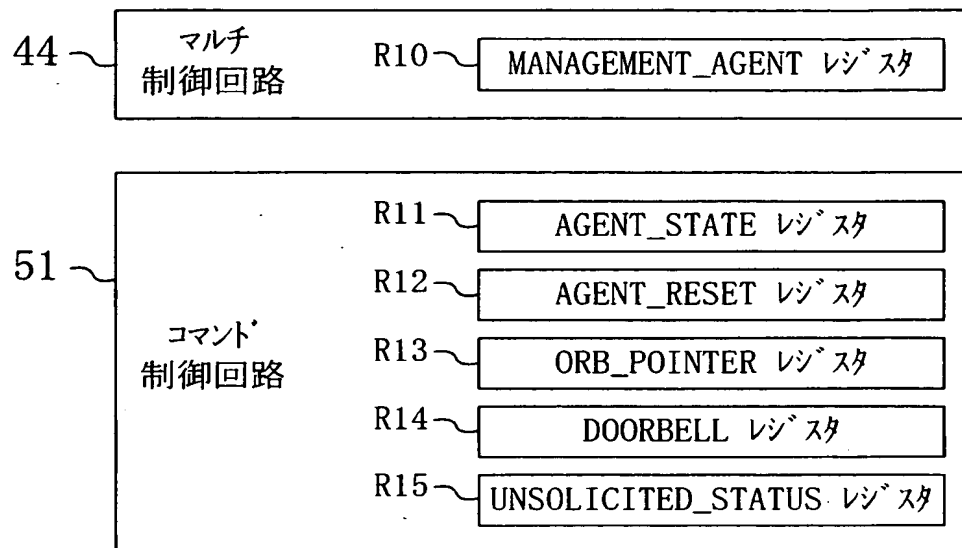
【図 1】



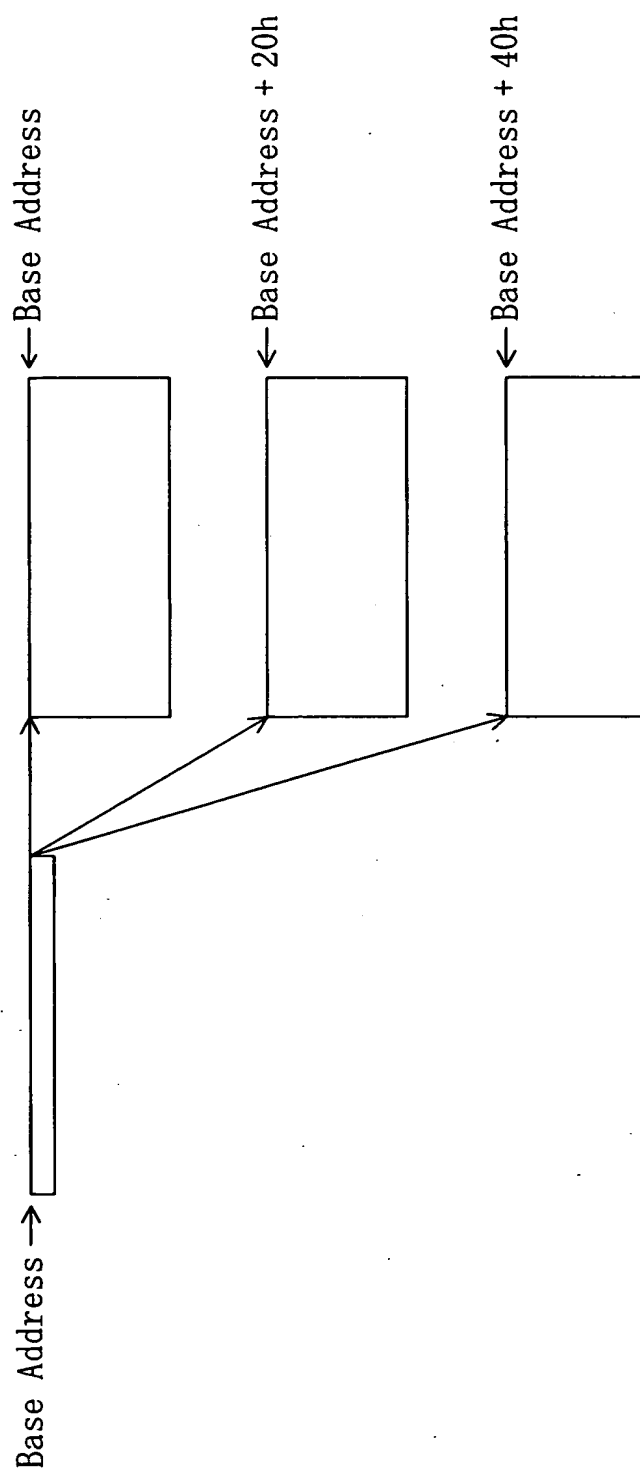
【図2】



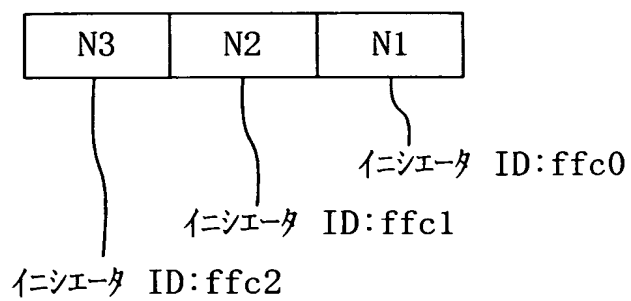
【図 3】



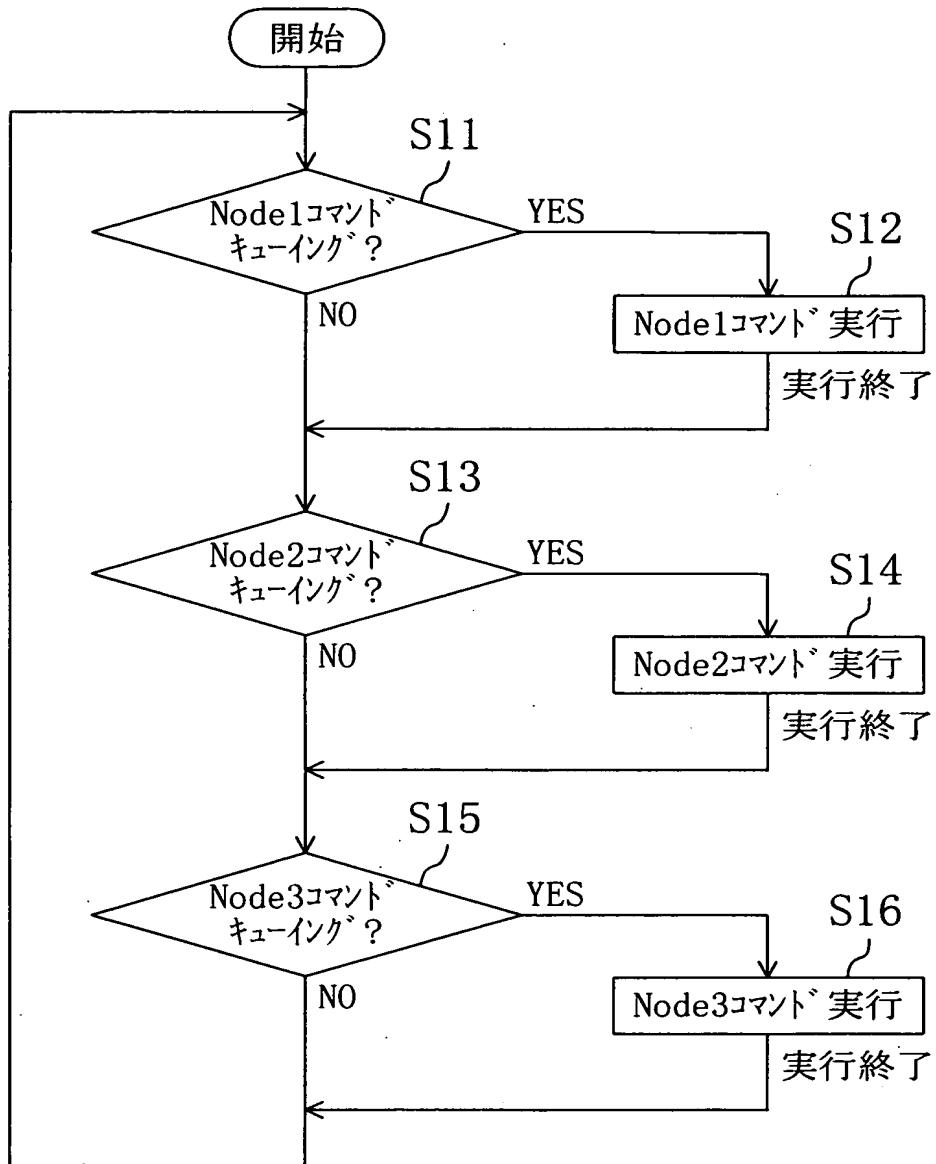
【図 4】



【図 5】

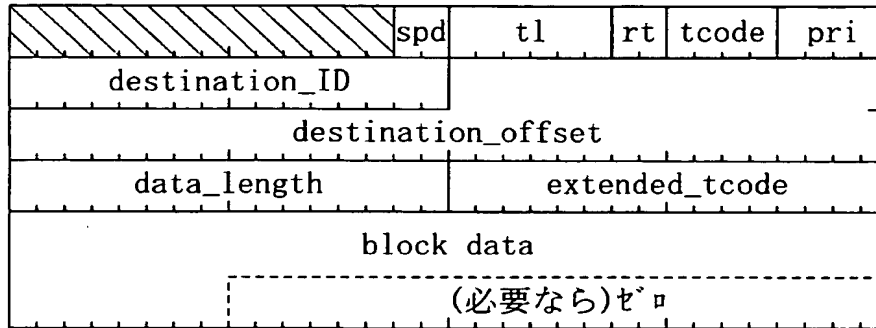


【図 6】



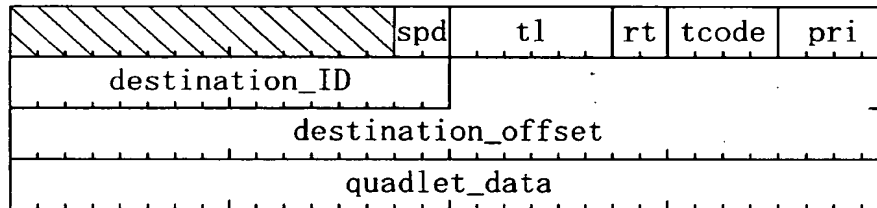
【図 7 A】

内部 BWRQ パケット
(ブロック書き込み要求送信パケット)



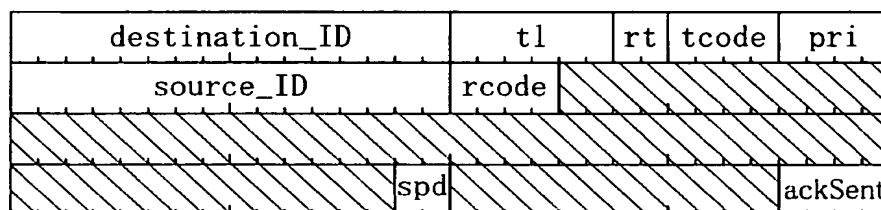
【図 7 B】

内部 QWRQ パケット
(クワットレット書き込み要求送信パケット)



【図 7 C】

内部 WRS パケット
(書き込み応答受信パケット)



【図 7 D】

内部 BRRQ パケット
(ブロック読み出し要求送信パケット)

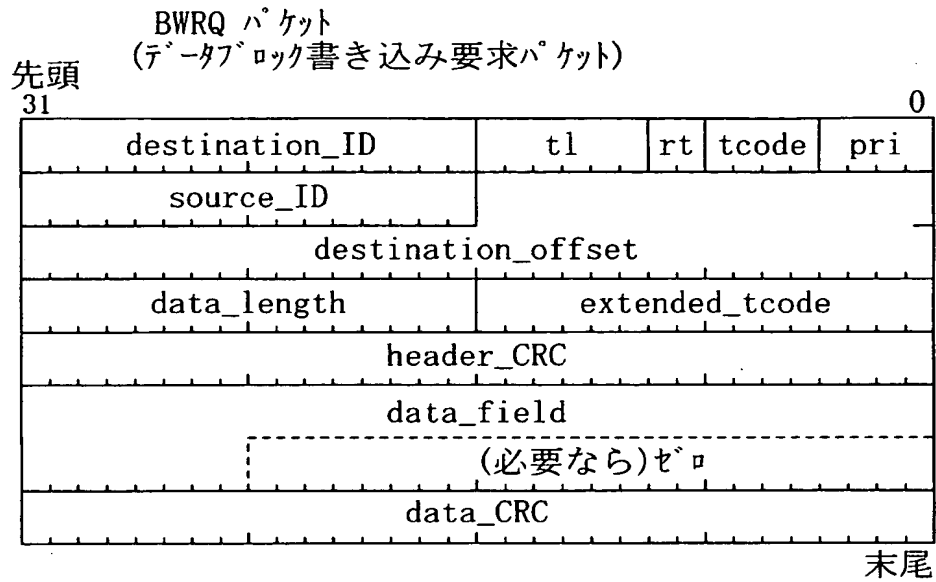
				spd	tl	rt	tcode	pri
destination_ID								
destination_offset								
data_length								

【図 7 E】

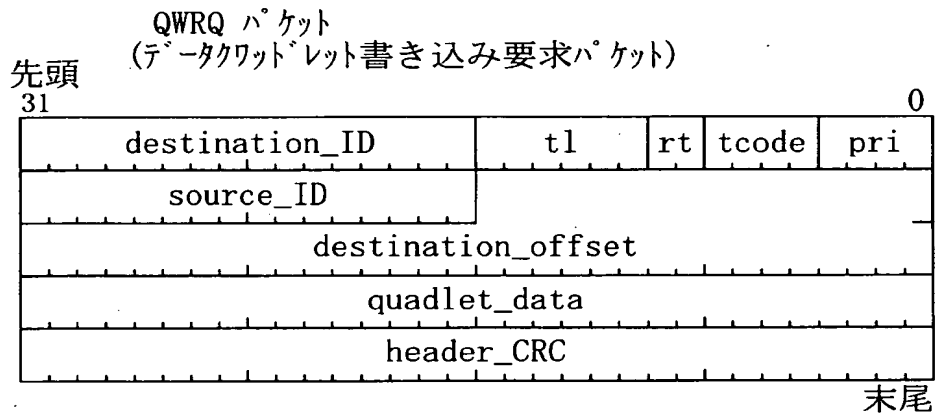
内部 BRRS パケット
(ブロック読み出し応答受信パケット)

destination_ID				tl	rt	tcode	pri
source_ID							
destination_offset							
data_length				extended_tcode			
block data							
				(必要なら)ゼロ			
spd				ackSent			

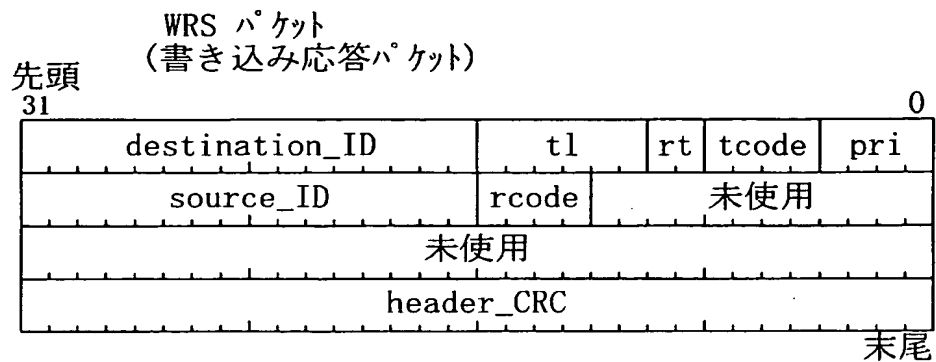
【図 8 A】



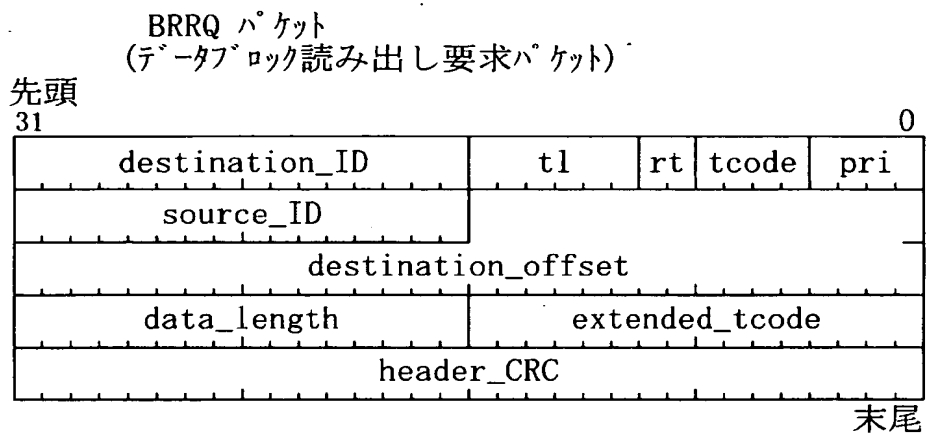
【図 8 B】



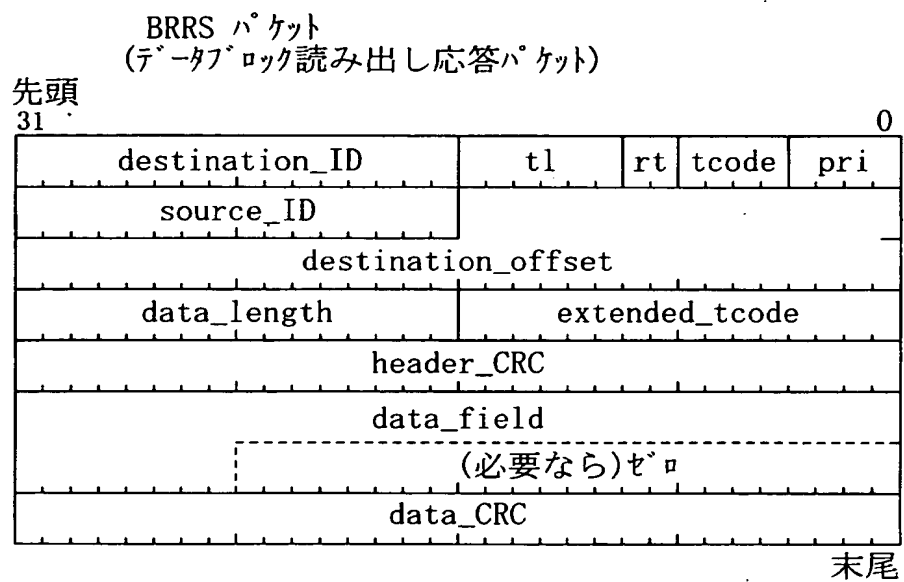
【図 8 C】



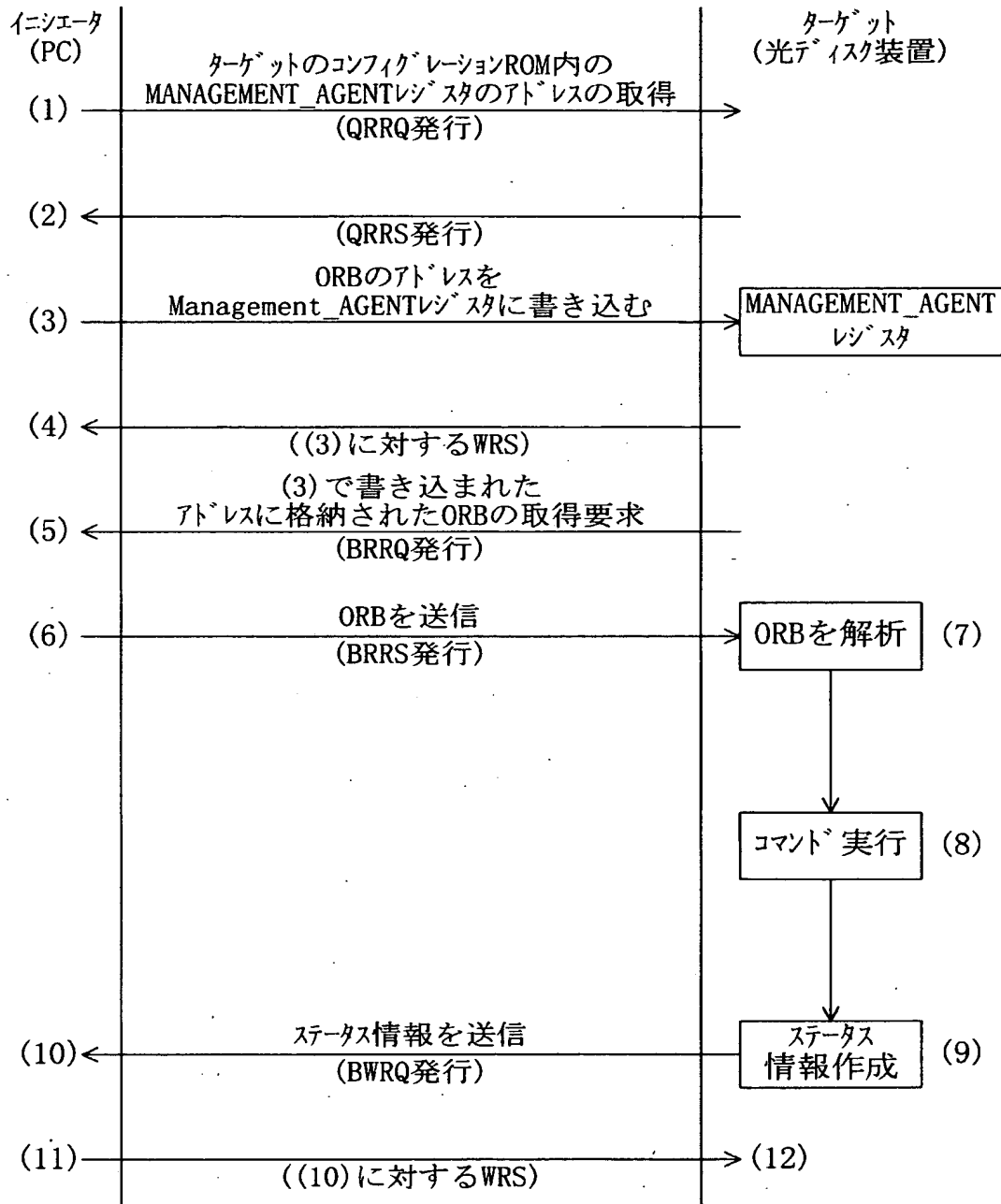
【図 8 D】



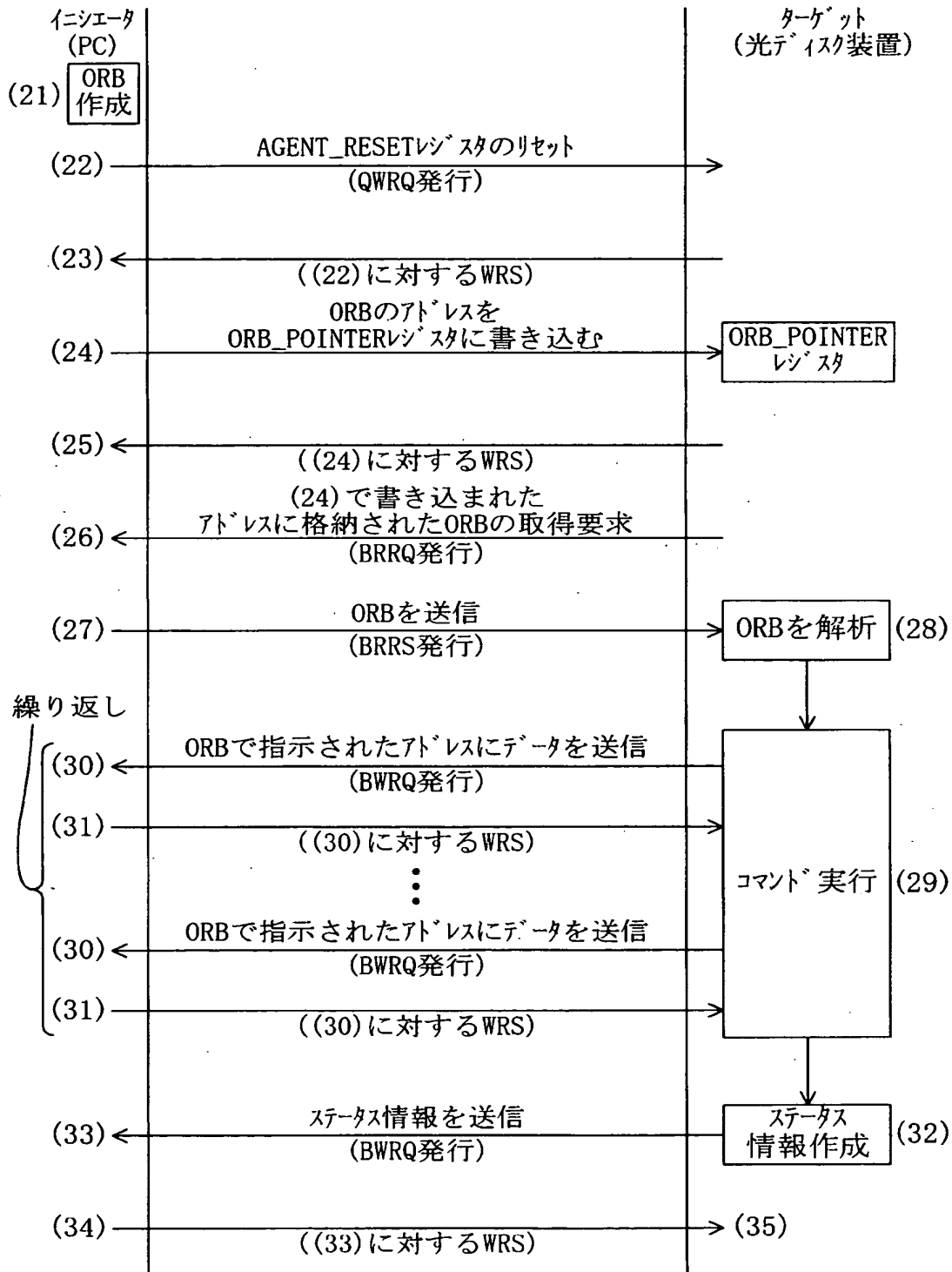
【図 8 E】



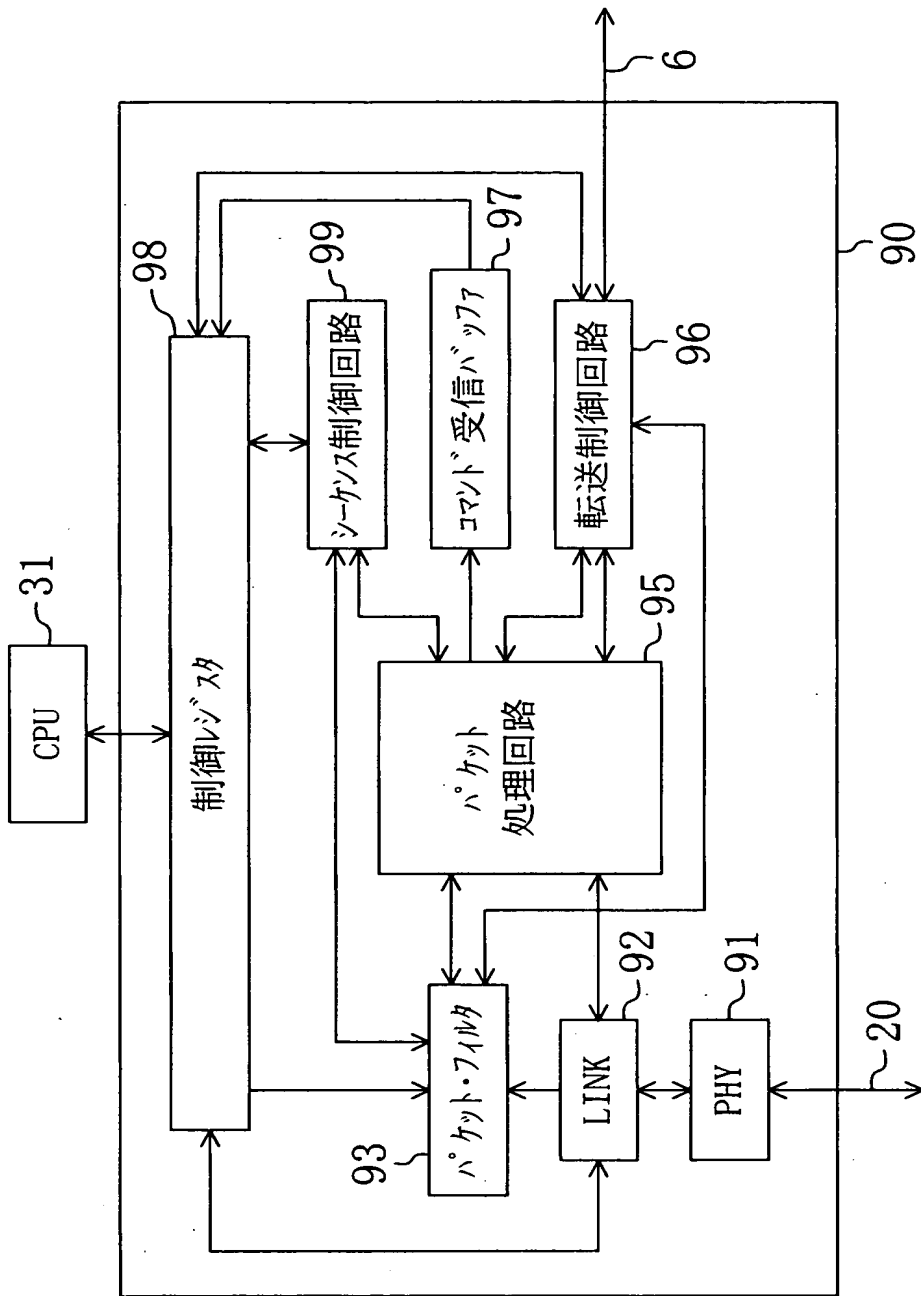
【図 9】



【図 1 0】



【図 11】



【書類名】 要約書

【要約】

【課題】 2 台以上のイニシエータに対するコマンド処理シーケンスを行うことができるマルチイニシエータ制御装置を提供する。

【解決手段】 マルチ制御回路 4 4 は、イニシエータ 1 1 に対するデータ転送処理シーケンスが終了すると、コマンド制御回路 5 2 におけるコマンドのキューイング状態を調べ、キューイングされていると認識した場合には、コマンド制御回路 5 2 に対してシーケンス実行許可を与える。コマンド制御回路 5 2 は、マルチ制御回路 4 4 からシーケンス実行許可を受けると、イニシエータ 1 2 に対してコマンド処理シーケンスを実行する。パケット処理回路 4 5 は、受信したパケットをコマンド受信バッファ 4 7 に格納する。CPU 3 1 は、コマンドをコマンド受信バッファ 4 7 から読み出し、転送制御回路 4 6 を起動する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社